

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-044185

(43)Date of publication of application : 14.02.1997

(51)Int.Cl. G10L 3/02
H03H 17/00
H03M 1/86
H03M 5/22
// H03K 7/08

(21)Application number : 07-194454

(71)Applicant : HITACHI LTD

HITACHI MICROCOMPUT SYST
LTD

(22)Date of filing : 31.07.1995

(72)Inventor : KUMAGAI YUKIO

TAKAMIYA MASASHI

HASEGAWA TAMOTSU

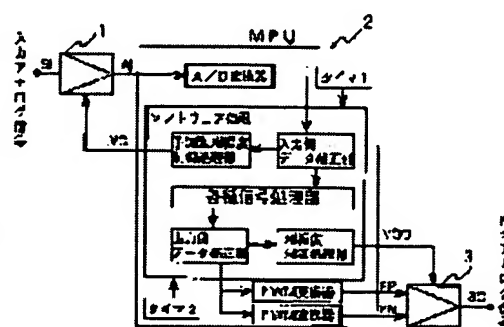
NENE YOSHITO

(54) PULSE WIDTH MODULATION SIGNAL MODULATING AND DEMODULATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pulse width modulation(PWM) signal modulating and demodulating circuit in which a prediction control is conducted for the amplification of an input amplifier based on stored digital values and the stored amplification value of the input amplifier in the circuit which stores the digital values that are obtained by A/D converting analog signals and the amplification of the input amplifier and demodulates back to analog signals using PWM signals.

SOLUTION: Inputted analog signals are amplified by an amplification variable type amplifier 1, A/D-converted, processed for data compensation and predicting control of the amplification and various signal processings are performed. Then, a data compensation processing is conducted again, a PWM conversion is conducted, an amplification control is performed for



an amplification variable type analog converter 3 and analog signals are obtained. Moreover, an MPU 2 performs software processings for an input side data compensation, a prediction type amplification control processing, various signal processes, an output side data compensation and an amplification control processing.

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A PWM signal abnormal-conditions demodulator circuit by which it was characterized, comprising:

Digital value which amplified and carried out the A/D conversion of the input analog signal with amplification good transformation amplifier.

When memorizing combining an amplification value of said amplification good transformation amplifier and outputting said memorized digital value, In a PWM signal abnormal-conditions demodulator circuit which uses two or more PWM (Pulse Density Modulation) signals and to which it restores to one analog signal based on said amplification value which was combined with said digital value and memorized, An amplification predictor-control means to predict and determine amplification of said amplification good transformation amplifier from digital value and an amplification value which were memorized in the past.

[Claim 2]A decision value calculating means in which the above-mentioned amplification predictor-control means calculates an input signal level decision value after 1 time from an absolute value and an input signal level decision value of an input digital signal of current time, When said input signal level decision value arrives at the upper part of a channel range of an A/D converter, When amplification of the above-mentioned amplification good transformation amplifier is made small and said input signal level decision value reaches the channel-range lower part of an A/D converter, A PWM signal abnormal-conditions demodulator circuit given in the 1st paragraph of an application-for-patent paragraph consisting of an amplification control means which performs operation which enlarges amplification of the above-mentioned amplification good transformation amplifier.

[Claim 3]The input signal level decision value [in / when an absolute value of $Y(t)$ and an input digital signal value is made into $|X(t)|$ for an input signal level decision value in the above-mentioned time t / the time $t+1$] $Y(t+1)$ is $Y(t+1) = \max(|X(t)|, Y(t) * a)$.

(However, function to which it is $0 < a < 1$, and the one where a value of $|X(t)|$ and $Y(t)$ is larger is chosen, and $Y(t)$ multiplies $Y(t)$ by the coefficient a only when large) A PWM signal abnormal-conditions demodulator circuit given in the 2nd paragraph of an application-for-patent paragraph obtaining by the operation expressed with a formula.

[Claim 4]A PWM signal abnormal-conditions demodulator circuit given in the 1st paragraph of an application-for-patent paragraph which a program characterized by comprising the following is the timing which a timer unit which is described independently and is different generates, and is characterized by starting the execution.

A program including a command which the above-mentioned A/D conversion operation and PWM signal output operation are controlled by a timer interrupt processing program on MPU (Micro Processing Unit), and controls A/D conversion operation.

A command which controls PWM signal output operation.

[Claim 5]A speech processing unit comprising:

A means to predict a level of an audio signal inputted following this audio signal from an inputted

level of an audio signal, and to control amplification of an input side.

A means to elongate or compress a time-axis of an audio signal which had amplification controlled.

A means to revert to a level at the time of an input, and to output an output level of this audio signal that expanded and contracted a time-axis.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to a pulse width modulation signal and what is called an PWM (Pulse width modulation) signal circuit, and relates to the PWM signal abnormal-conditions demodulator circuit which carries out predictor control of the amplification of input amplifiers especially.

[0002]

[Description of the Prior Art]A pulse width modulation signal and what is called a PWM signal are signals acquired by changing digital value into the variation of pulse width. It is a signal used in order to mainly change the result of an operation of a digital circuit, etc. into an analog signal.

The method by which the D/A converter was used for the method of changing a digital signal into an analog signal on the other hand is known well. However, instead of a D/A converter, the method using the PWM signal generated by a timer pulse unit and a clock signal with built-in MPU has spread with a miniaturization and low-pricing of a device in recent years.

[0003]A PWM signal generation system inputs a clock signal into the timer counter inside a timer pulse unit. The method which writes the digital value equivalent to a desired analog value in the comparison register inside a timer pulse unit, controls an output port by generating interruption in the coincidence timing of a timer counter and a comparison register, and acquires a PWM signal was common. However, since the resolution of this PWM signal received restriction with the number of bits, an interruption cycle, etc. of a timer counter, when treating a highly precise analog signal, it was not able to be used as it was.

[0004]Conventionally, JP,4-96417,A is known as a method of raising the resolution of a PWM signal. The above-mentioned conventional technology is a method which generates a PWM signal with a timer pulse unit and a clock signal with built-in MPU as mentioned above.

As a method of raising the resolution of the PWM signal at this time, the resolution to expect "A", When the resolution of a timer counter is set to "B", after asking for "n" as $n=A/B$ (A and B are the integers of the exponentiation of 2). It is said that the resolution of a PWM signal is raised "n" times by asking for "n" time average of the digital value before changing into a PWM signal, changing this average value into a PWM signal, and carrying out "n" time consecutive output. [of the resolution of a timer counter]

[0005]

[Problem(s) to be Solved by the Invention]In the above-mentioned conventional system, it was not considered at all about the size of the input signal value to the timer for PWM signal creation, but the input signal value was changed sharply, and when saturated, there was a problem of becoming out of control.

[0006]In the above-mentioned method, when a timer counter was 8 bits, the resolution of the analog signal to which it can restore became 256 gradation at the maximum, as long as the timer counter was 8 bits, the resolution beyond this was not obtained, but there was a problem that a dynamic range was narrow, for example.

[0007]By carrying out "n" time average of the one digital value, changing into a PWM signal further and carrying out [although] "n" time output, in order to raise resolution "n" twice, The time lag was produced to the output timing of an original PWM signal, and there was a problem that the fidelity of an output signal was bad, to an input signal.

[0008]When the A/D conversion of the audio signal was carried out and it was used for noise rejection or the use which carries out filtering processing and outputs a PWM signal, since real time nature was missing, voice frequency was changed, and the conventional system had the problem that it could not be used.

[0009]On the other hand, the trial which tries to perform hearing aid over the auditory system at large which changed only earliness, without changing an audio pitch by digital signal processing, and also includes a decline of a higher order language-processing speed is made in recent years. For example, about such rate-of-speech-conversion art. For example, the Institute of Electronics, Information and Communication Engineers technical research report (Vol.92.) No.207 It is explained by SP92-54 "development of the portable DSP system which performs voice processing for elderly people", and the Acoustical Society of Japan (the 50 1994 No. 7, P509-520) "real-time rate-of-speech-conversion type listening system" in full detail.

[0010]The portable rate-of-speech-conversion device which stored this rate-of-speech-conversion function in the device of a portable size was developed. To this device. Therefore, "A portable digital speech-rateconverter and its evaluation by hearing-impaired listeners", in Proc. of Int. Conf. on. It is explained by Spoken Language Processing (ICSLP94), pp.2055-2058, Yokohama, and Sep. 1994. in full detail. Thus, although the demand which carries out digital signal processing of the audio signal was increasing, for dealing with an audio signal in real time, a conventional system was not able to be used as mentioned above.

[0011]The purpose of this invention is to provide the PWM signal abnormal-conditions demodulator circuit which prevented the saturation of the A/D converter which happens when changing an input signal sharply.

[0012]The second purpose of this invention is to provide the large PWM signal abnormal-conditions demodulator circuit of a dynamic range where an output analog signal is not saturated, even when the analog signal exceeding the allowable input range of an A/D converter is inputted.

[0013]One by one, the third purpose of this invention calculates an input signal level decision value, and there is in providing a PWM signal abnormal-conditions demodulator circuit with sufficient fidelity, without switching amplification frequently, even if it is a value which an input analog signal fluctuates violently.

[0014]A/D conversion operation does not influence PWM signal output start timing, PWM signal output operation does not influence A/D conversion start timing mutually, but the fourth purpose of this invention is to provide a real time nature good PWM signal abnormal-conditions demodulator circuit usable also to an audio signal.

[0015]There is the fifth purpose of this invention in providing the processing unit of the audio signal provided with the real time nature good PWM signal abnormal-conditions demodulator circuit.

[0016]

[Means for Solving the Problem]To achieve the above objects, this invention formed a means to predict and determine amplification of amplification good transformation amplifier from past input digital value and an amplification value and to perform amplification predictor control.

[0017]In order to attain the second purpose of the above, this invention, A decision value calculating means which calculates an input signal level decision value after 1 time from an absolute value and an input signal level decision value of an input digital signal of current time, When said input signal level decision value arrives at the upper part of a channel range of an A/D converter, When amplification of the above-mentioned amplification good transformation amplifier was made small and said input signal level decision value reached the lower part of a channel range of an A/D converter, an amplification control means which performs operation which enlarges amplification of the above-mentioned amplification good transformation amplifier was established.

[0018]The input signal level decision value [in / in order to attain the third purpose of the above, when this invention makes an absolute value of $Y(t)$ and an input digital signal value $|X(t)|$ for an input signal level decision value in the time t / time $(t+1)$] $Y(t+1)$ is $Y(t+1) = \max(|X(t)|, Y(t) * a)$.

(However, function to which it is $0 < a < 1$, and the one where a value of $|X(t)|$ and $Y(t)$ is larger is chosen, and $Y(t)$ multiplies $Y(t)$ by the coefficient a only when large) A means to perform an operation expressed with a formula was formed.

[0019]In order to attain the fourth purpose of the above, this invention, A/D conversion operation and PWM signal output operation, A program including a command which is controlled by a timer interrupt processing program on MPU, and controls A/D conversion operation, and a program including a command which controls PWM signal output operation, A means by which the execution was started was formed to timing which a timer unit which is described independently and is different generates.

[0020]In order to attain the fifth purpose of the above, a speech processing unit of ***** is provided with the following.

A means to predict a level of an audio signal inputted following this audio signal from an inputted level of an audio signal, and to control amplification of an input side.

A means to expand and contract a time-axis of an audio signal which had amplification controlled.

A means to revert to a level at the time of an input, and to output an output level of an audio signal which expanded and contracted a time-axis.

[0021]

[Function]By having formed a means to have amplified an input analog signal and to memorize it combining the digital value which carried out the A/D conversion, and the amplification value of said amplification good transformation amplifier with amplification good transformation amplifier, It becomes possible to predict and control the amplification of said amplification good transformation amplifier based on said digital value and said amplification value, and the PWM signal abnormal-conditions demodulator circuit which prevented the saturation of the input signal by it can be provided.

[0022]By comparing the absolute value and input signal level decision value of an input digital signal of current time, and calculating the input signal level decision value after 1 time, When an input signal level decision value arrives at the upper part (for example, 384) of the channel range (for example, referred to as 0-511) of an A/D converter, When amplification of amplification good transformation amplifier is made small, saturation is prevented and an input signal level decision value reaches the lower part (for example, 192) of the channel range of an A/D converter, it becomes possible to enlarge amplification of amplification good transformation amplifier and to raise resolution. When reproducing an analog signal from an input digital signal, based on digital value and an amplification value, what is necessary is just to change the amplification of a PWM signal outputting part, and the large PWM signal abnormal-conditions demodulator circuit of a dynamic range can be provided by it.

[0023]In order to predict the signal level of an input and to set up amplification appropriately, When the absolute value of the input digital signal value of the current time t is made into $|X(t)|$ and the input signal level decision value in the time t is similarly set to $Y(t)$ as a means to calculate an input signal level decision value, It is $Y(t+1) = \max(|X(t)|, Y(t) * a)$ about the input signal level decision value Y in the time $t+1$ ($t+1$).

(However, function to which it is $0 < a < 1$, and the one where the value of $|X(t)|$ and $Y(t)$ is larger is chosen, and $Y(t)$ multiplies $Y(t)$ by the coefficient a only when large) The result obtained by calculating by a formula determines amplification. It becomes possible to judge whether the absolute value of an input digital signal is large, or an input signal level decision value is large in the current time t with the above-mentioned computing equation. $Y(t) * a$ is a value dwindled at a rate suitable whenever the time t passes, as long as the input signal level decision value side is large.

It is a value corresponding to a rough change of an input signal level.

Also when a sufficiently small input signal continues after a big input signal from this, if it does not go through fixed time, it turns out that the change of amplification does not take place. As a result, even if it is in a situation which an input signal fluctuates violently, the phenomenon in which amplification switches frequently does not happen but can provide a PWM signal abnormal-conditions demodulator circuit with sufficient fidelity by it.

[0024]When it is considered as the method which performs two kinds of processings in series by one interruption using one timer, and one throughput is changed, it may happen that the start timing of processing of another side shifts. A program including the command which controls A/D conversion operation by this invention in order to avoid this, It became possible to the interruption timing which a different timer unit generates to start execution of each program by describing a program including the command which controls PWM signal output operation as a timer interrupt processing program which became independent respectively. The PWM signal abnormal-conditions demodulator circuit which can avoid the influence of the execution start timing on a program including the command which controls PWM signal output operation by it when the throughput of the program which includes the command which controls A/D conversion operation, for example is changed can be provided.

[0025]According to the speech processing unit of this invention, audio time-base-expansion processing can be performed with sufficient real time nature. Since the range of an output side is determined also about an input-and-output range based on the range of an input side, it can respond to change of amplification and the processed sound can be outputted comfortable.

[0026]

[Example]Drawing 1 is a PWM signal abnormal-conditions demodulator circuit figure of this invention, and is constituted by the amplification good transformation analog transducer 3 which changes into an analog signal MPU2 which performs the amplification good transformation amplifier 1 which amplifies an input signal, an A/D conversion and PWM conversion, various signal processing, etc., and a PWM signal. Input-side data correction, predicted type amplification control management, various signal-processing, and output side data correction and amplification control management are processing by software.

[0027]In order to give facilities to explanation, SI and the output of the amplification good transformation amplifier 1 for an input analog signal A.I. Artificial Intelligence, VGI and the amplification variable signals of an amplification control processing part for the amplification variable signals of the amplification good transformation amplifier 1 VGO, The straight polarity output signal from a PWM converter is explained as PN in PP and the negative polarity output signal from a PWM converter by expressing respectively the output analog signal of the amplification good transformation analog transducer 3 as SO. In this example, according to the size of an input signal, predictor control of the amplification of the amplification good transformation amplifier 1 is carried out, and the place which always uses effectively the dynamic range of an A/D conversion part and an PWM converter has the feature. The place which starts the execution has the feature to the timing which a timer unit which makes A/D conversion control and a PWM signal output control the timer interrupt processing program which became independent respectively, and is different generates.

[0028]In introduction and drawing 1, it is explained by what kind of processing input analog signal SI is changed into desired digital data. Although the output digital value of an A/D converter is expressed with 10 bits including a sign binary digit and can express the range of about ± 512 , in the input-side data correction part, it extends 9 bits excluding a sign binary digit in the output digital value of an A/D converter to 11 bits, and is expressing them. This method is said thing which always uses effectively the dynamic range of an A/D conversion part and an PWM converter, as stated, but. By switching amplification every exponentiation of 2, it is possible to make amplification equivalent to the bit shift quantity of the input data to the output digital value or PWM converter of an A/D converter. For example, although the numerical value exceeding 512 exceeds a full scale and an absolute value cannot express it by 10 bits, If n bit shift to the left of the result obtained by setting amplification of the amplification good transformation amplifier 1 in front of an A/D converter to $1/2^n$, and carrying out an A/D conversion is carried out $(10+n)$, it will become possible to carry out an A/D conversion with the dynamic range of a

bit. The quantization resolution in this case is 10 bits to the last, and is not being able to quantize a small input signal and a big input signal by the same fineness. However, generally, in the case of the audio signal etc., from the difference between the frequency of occurrence of a large amplitude portion, and the frequency of occurrence of a small-size width part, even if it quantizes a large amplitude portion coarsely, it is known that deterioration of tone quality is small. Nonlinear quantization similar to this, for example, mu-law compression, is widely used in the field of voice coding.

[0029]Next, it explains using the table showing the above-mentioned amplification and the relation of a bit shift in drawing 3. The result of having carried out the A/D conversion of the input signal is ± 512 (it simplifies, although it is $-512 \rightarrow +511$ actually.). In the following cases, the amplification (VGI) of the amplification good transformation amplifier 1 is set up 1 time like the following, and the output of an A/D converter is used as sign binary digit and low rank 9 bit data as it is. However, zero [2-bit] is added to the MSB side of 9 bit data, and various processing is performed as a total of 12 bit data of ± 11 bits of sign binary digits. On the other hand, when an input signal is a size which is about ± 2048 , the amplification (VGI) of the amplification good transformation amplifier 1 is set up 1/4 time. It adjusts so that the output swing of the signal A.I. Artificial Intelligence may be restored to the channel range of an A/D converter, and amendment which adds zero [2-bit] to the LSB side is performed by shifting 9 bit data except the sign binary digit of the output value of an A/D converter to the 2-bit left. It amends to 10 bit data including a sign binary digit based on the value of VGI which had memorized the digital value obtained by these processings with said digital value in the output side data correction part, and the reciprocal of VGI is simultaneously outputted as VGO.

[0030]In the above, the relation between amplification and a bit shift was explained to be an extended principle of digital data. Although it returns to drawing 1 and concrete explanation of operation is given hereafter, the amplification in early stages of the amplification good transformation amplifier 1 is explained as 1 time. First, signal SI is amplified with the amplification good transformation amplifier 1, and is changed into digital data by the A/D converter built in MPU2. In an input-side data correction part, it carries out by adding zero [2-bit] to the MSB side, as it described above, when the signal VGI was 1 time the processing extended to 11 bits. That is, when VGI is 1 time, the range which can be expressed even if it carries out bit extension will not change. Then, in a predicted type amplification control processing part, the input signal level decision value after 1 time is calculated and held by said formula $Y(t+1) = \max(|X(t)|, Y(t) \cdot a)$, and if required, the re set of VGI will be performed.

[0031]The operation at this time is explained using drawing 2. The A/D converter is carrying out the A/D conversion of the SI one by one.

The value is expressed with $|X(t)|$ in the figure.

$Y(t+1)$ compares said $Y(t)$ with $|X(t)|$, and holds the result which showed the always large value (however, value which applied the coefficient a when the $Y(t)$ side was large). If $|X(t)|$ becomes a value which dwindles $Y(t+1)$ at a suitable rate while it is small to $Y(t+1)$ and $|X(t)|$ becomes large conversely, it follows in footsteps of $|X(t)|$, and is updated. When $Y(t+1)$ goes up now to the upper part (for example, 384) of 512 which is an absolute value of the channel range of an A/D converter, it is expected that SI continues increasing and 1 range lowering *****

continues to be performed in the amplification of the amplification good transformation amplifier 1 from a predicted type amplification control processing part. On the contrary, when $Y(t+1)$ descends to the lower part (for example, 192) of 512 which is an absolute value of the channel range of an A/D converter, it is expected that SI continues decreasing and 1 range raising ***** continues to be performed in the amplification of the amplification good transformation amplifier 1 from a predicted type amplification control processing part. After SI (namely, $|X(t)|$) becomes large, and processing which lowers a range once is performed, even if SI serves as a value small enough according to this method, If $Y(t+1)$ gradually decreases at a suitable rate and does not descend to the lower part of the channel range of an A/D converter, processing which raises a range is not performed, but it can prevent amplification switching frequently.

[0032]It returns to drawing 1 again and explanation is continued. After the digital data, as for, bit shift processing was carried out by the amplification value by the input-side data correction part

like the above is sent to a various processing part with VGI which is amplification information, for example, performs noise rejection, filtering processing, etc., it is sent to an output side data correction part. In an output side data correction part, it amends to 10 bit data including a sign binary digit based on the value of VGI memorized with said digital value, the digital value which shows a positive value, and the digital value which shows a negative value are independently inputted into an PWM converter, and it outputs as the signals PP and PN, respectively. Simultaneously, in an amplification control processing part, what output signal SO of input signal SI and similarity is obtained for from the amplification good transformation analog transducer 3 (however, based on the contents of processing of various signal processing parts) becomes possible by outputting the reciprocal of VGI as VGO.

[0033]In a series of above-mentioned processings, it begins from A/D conversion operation and the processing to PWM signal output operation is controlled by the timer interrupt processing program of MPU2. However, when it was considered as the method which performs the two above-mentioned kinds of processings in series by one interruption using one timer, change of one throughput affected the start timing of processing of another side, and it was not able to be used for the use that a gap of delicate timing, such as speech signal processing, poses a problem. Therefore, a program including the command which controls A/D conversion operation by this invention and a program including the command which controls PWM signal output operation, It was described as a timer interrupt processing program which became independent respectively, and was considered as the method with which execution of each program is started to the interruption timing which a different timer unit (the timer 1, the timer 2) generates. Also in the case where the throughput of the program which includes by this the command which controls A/D conversion operation, for example is changed, It became possible to avoid the influence of the execution start timing on a program including the command which controls PWM signal output operation, and it became possible to apply also to uses, such as speech signal processing.

[0034]Next, the example which used the PWM signal abnormal-conditions demodulator circuit of this invention for speech signal processing is explained using drawing 4. The speech signal processing in drawing 4 is processing which expands and contracts a sound in a time base direction, and suppose that it is called for convenience rate-of-speech-conversion processing.

[0035]The sound signal processor shown in drawing 4 makes processing of various signal processing parts in drawing 1 the rate-of-speech-conversion treating part 21. The principle of the elastic processing of an audio signal performed by this rate-of-speech-conversion treating part 21 is shown in drawing 5.

[0036]The waveform elongation processing currently used with the rate-of-speech-conversion device of this invention is shown in drawing 5 (a). In this processing, the pitch (fundamental frequency) of a voice inputting waveform is detected first, and the window function which has time length twice this detected length of pitch length, and changes from 1 to 0, and two window functions of the window function which changes to 1 from 0 conversely are generated. Next, the product of this 2 window function and the input waveform in the position which separated by 1 pitch mutually is taken, the result of two products is added, and a composite waveform is made. Wave-like time length is changed by finally inserting this composite waveform into the waveform of a fundamental tone, without changing a pitch. By changing the frequency which inserts a composite waveform, two or more waveform extension rates are realizable.

[0037]An example of the waveform shortening processing used in the 4th example of the above is shown in drawing 5 (b). In this example, the voice waveform which has 4-pitch time length is shortened by 2-pitch time length. A different point of this waveform shortening processing and the above-mentioned waveform elongation processing is only a position on the input waveform which hangs a window function. Therefore, in rate-of-speech-conversion processing, it opts for extension or compression of the time-axis of an audio signal by changing the parameter which shows the position which hangs a window function.

[0038]The concrete block lineblock diagram of a rate-of-speech-conversion treating part part is shown in drawing 6.

[0039]The sound which amplification was controlled and was digitized is inputted into the two

input frame buffers 61 and 62 by turns. While having inputted into one input frame buffer, the time-axis conversion process 63 which expands and contracts an audio time-axis without changing the pitch is performed to the voice data of another input frame buffer. And the processing result is comparatively recorded on the large output ring buffer 64 of capacity. With record of the data to the output ring buffer 64, independently, data is taken out from the output ring buffer 64, and it is outputted to the output side data correction part shown in drawing 4.

[0040] While rate of speech conversion is performed while this rate-of-speech-conversion operation is controlled by a user from the outside through the slow switch 66 formed on the device and the slow switch is pushed, and not being pushed, rate of speech conversion is not given but voice inputting is outputted as it is.

[0041]

[Effect of the Invention] According to this invention, from the digital value and the amplification value of an A/D converter which were memorized in the past. There is an effect that become possible to carry out predictor control of the amplification of amplification good transformation amplifier so that the amplitude of an input signal may always be restored to allowable input within the limits of an A/D converter, and the output digital value of an A/D converter is not saturated and that a PWM signal abnormal-conditions demodulator circuit can be provided.

[0042] When the input signal level decision value after 1 time is calculated one by one and the upper part or the lower part of a channel range of an A/D converter is reached, It becomes possible to change the amplification of amplification good transformation amplifier and to perform an A/D conversion, and is effective in the ability to provide the large PWM signal abnormal-conditions demodulator circuit of a dynamic range by changing the amplification of a PWM signal outputting part based on the digital value which finished various signal processing, and an amplification value.

[0043] By having carried out the comparison operation of the absolute value of the digital signal of an A/D converter, and the input signal level decision value which is values corresponding to a rough change of an input signal, and having considered it as the method which determines amplification, Even if it is in a situation which an input signal fluctuates violently, it becomes possible not to switch amplification frequently and is effective in the ability to provide a PWM signal abnormal-conditions demodulator circuit with sufficient fidelity.

[0044] To the timing which a timer unit which makes A/D conversion control and a PWM signal output control the timer interrupt processing program which became independent respectively, and is different generates. When the throughput of A/D conversion control is changed by starting each execution, for example, it is effective in the ability to provide the PWM signal abnormal-conditions demodulator circuit which can avoid the influence of the execution start timing on a PWM signal output control.

[0045] Even if it is a large signal of a dynamic range peculiar to an audio signal by combining the PWM signal abnormal-conditions demodulator circuit of this invention with a sound signal processor, speech signal processing can be carried out to real time.

[0046]

[Translation done.]

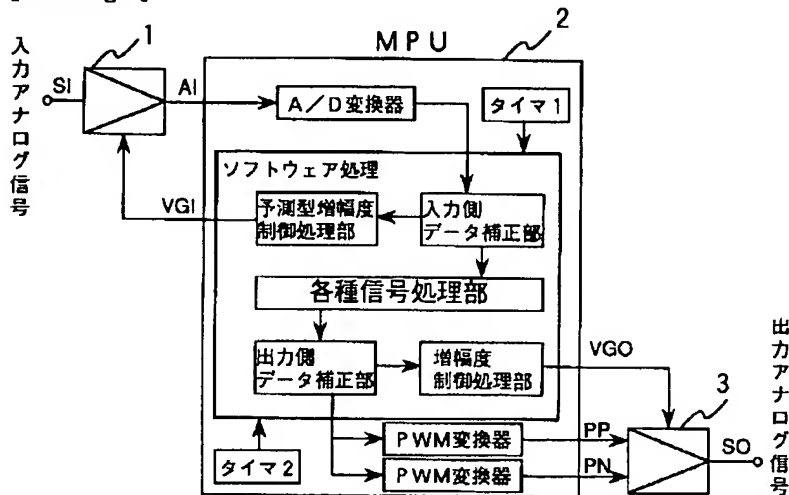
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

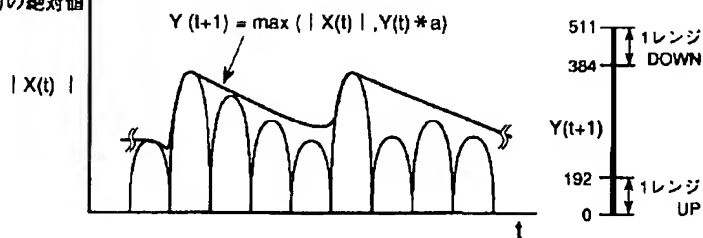
DRAWINGS

[Drawing 1]



[Drawing 2]

A/D変換器の
出力の絶対値



[Drawing 3]

	表現可能範囲 (A/D変換器)	± 5 1 2	± 1 0 2 4	± 2 0 4 8
入 力 側	V G I	1 倍	1 / 2 倍	1 / 4 倍
	入力側データ 補正值 (S=サインビット)	S00#####	S0#####0	S#####00
出 力 側	V G O	1 倍	2 倍	4 倍
	出力側データ 補正值 (S=サインビット)	S #####		

図 3

[Drawing 4]

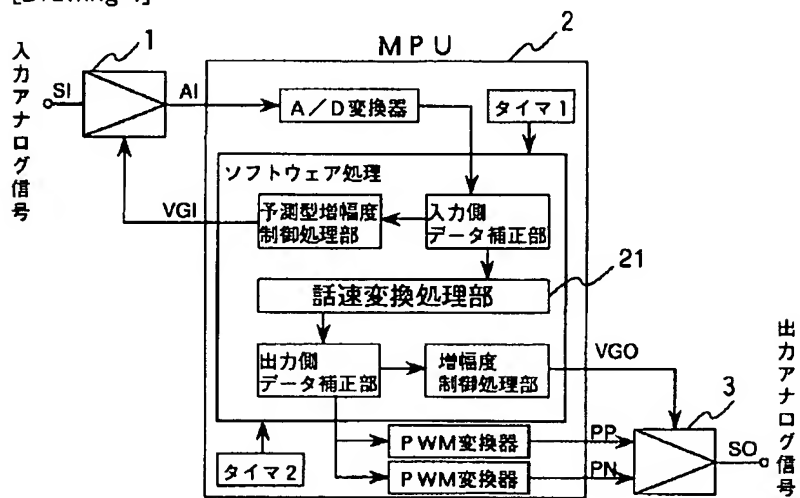
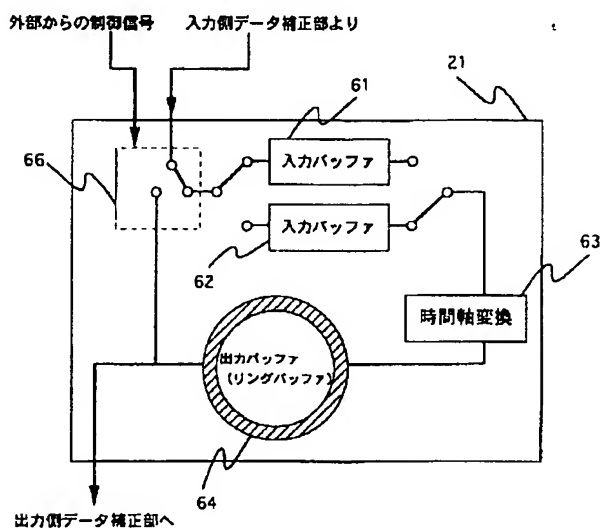


図 4

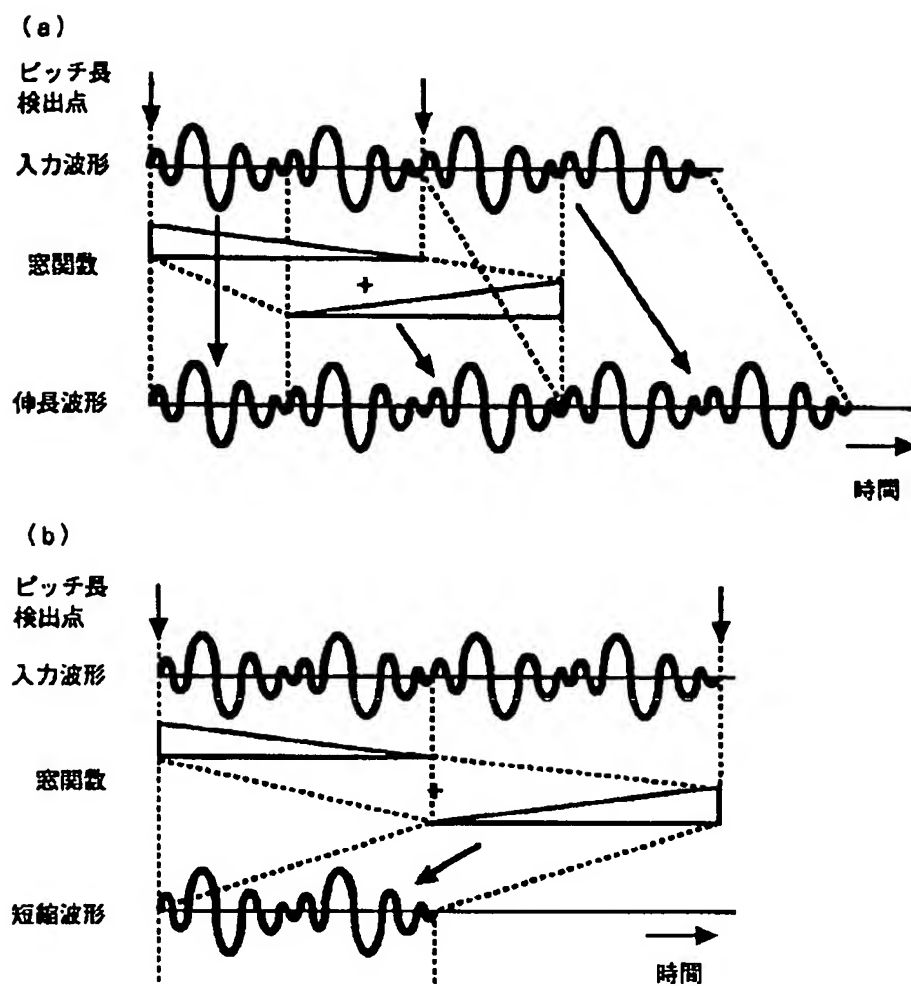
[Drawing 6]

図 6



[Drawing 5]

図 5



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-44185

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 1 0 L 3/02			G 1 0 L 3/02	A
H 0 3 H 17/00	6 2 1	8842-5 J	H 0 3 H 17/00	6 2 1 Z
H 0 3 M 1/86		9382-5 K	H 0 3 M 1/86	
			5/22	
// H 0 3 K 7/08			H 0 3 K 7/08	A
審査請求 未請求 請求項の数 5 O L (全 9 頁)				

(21) 出願番号 特願平7-194454

(22) 出願日 平成7年(1995)7月31日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72) 発明者 熊谷 幸夫

東京都国分寺市東窓ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

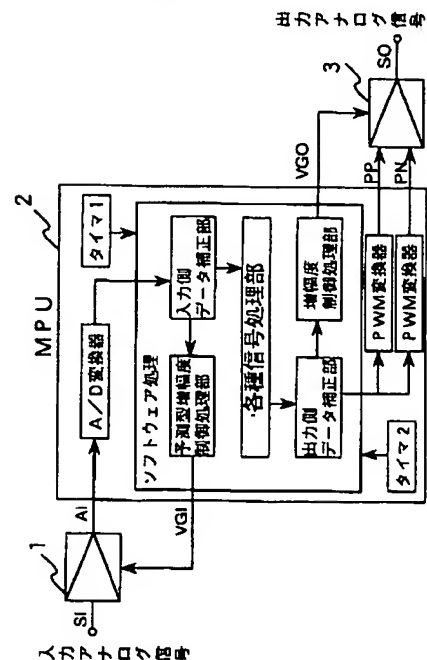
(54) 【発明の名称】 PWM信号変調復調回路

(57) 【要約】

【目的】 アナログ信号をA/D変換したデジタル値と、入力アンプの増幅度値を記憶し、PWM (パルス幅変調) 信号を用いてアナログ信号に復調するPWM信号変調復調回路において、記憶したデジタル値と増幅度値を基に、入力アンプの増幅度を予測制御することが可能なPWM信号変調復調回路を提供する。

【構成】 入力信号を増幅する増幅度可変型アンプ1で入力アナログ信号を増幅し、A/D変換してデータ補正処理と増幅度の予測制御処理を行い、各種信号処理を行った後、再びデータ補正処理とPWM変換を行い、増幅度可変型アナログ変換器3の増幅度制御を行ってアナログ信号を得る。また、入力側データ補正、予測型増幅度制御処理、各種信号処理、出力側データ補正、増幅度制御処理は、MPU2により、ソフトウェアで処理を行っている。

図1



【特許請求の範囲】

【請求項1】入力アナログ信号を増幅度可変型アンプで増幅しA/D変換したデジタル値と、前記増幅度可変型アンプの増幅度値を組み合わせて記憶し、前記記憶したデジタル値を出力する際には、前記デジタル値に組み合わせて記憶した前記増幅度値を基に、複数系統のPWM（パルス幅変調）信号を用いて、一系統のアナログ信号に復調するPWM信号変調復調回路において、前記増幅度可変型アンプの増幅度を、過去に記憶したデジタル値と増幅度値から予測して決定する、増幅度予測制御手段を有することを特徴とした、PWM信号変調復調回路。

【請求項2】上記増幅度予測制御手段は、現時刻の入力デジタル信号の絶対値と入力信号レベル判定値から、1時刻後の入力信号レベル判定値を演算する判定値演算手段と、前記入力信号レベル判定値がA/D変換器の入力レンジの上部に達したときには、上記増幅度可変型アンプの増幅度を小さくし、前記入力信号レベル判定値がA/D変換器の入力レンジ下部に達したときには、上記増幅度可変型アンプの増幅度を大きくする動作を行なう増幅度制御手段、とからなることを特徴とした、特許請求項第1項記載の、PWM信号変調復調回路。

【請求項3】上記時刻tにおける入力信号レベル判定値をY(t)、入力デジタル信号値の絶対値を|X(t)|とした時、時刻t+1における入力信号レベル判定値Y(t+1)は、

$$Y(t+1) = \max(|X(t)|, Y(t) * a)$$

(但し $0 < a < 1$ で、かつ、|X(t)|およびY

(t)の値の大きいほうを選び、Y(t)が大きいときのみY(t)に係数aを掛ける関数)なる式で表される演算によって得られることを特徴とした、特許請求項第2項記載の、PWM信号変調復調回路。

【請求項4】上記A/D変換動作およびPWM信号出力動作は、MPU（Micro Processing Unit）上のタイマー割り込み処理プログラムによって制御され、A/D変換動作を制御する命令を含むプログラムと、PWM信号出力動作を制御する命令を含むプログラムとは、独立して記述され、かつ、異なるタイマーユニットが生成するタイミングで、その実行が開始されることを特徴とする、特許請求項第1項記載の、PWM信号変調復調回路。

【請求項5】入力された音声信号のレベルから該音声信号に続いて入力される音声信号のレベルを予測して入力側の増幅度を制御する手段と、増幅度を制御された音声信号の時間軸を伸長又は圧縮する手段と、時間軸を伸縮した該音声信号の出力レベルを入力時のレベルに復元して出力する手段とを有することを特徴とする音声処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、パルス幅変調信号、い

わゆるPWM（Pulse width modulation）信号回路に係り、特に、入力アンプの増幅度を予測制御するPWM信号変調復調回路に関する。

【0002】

【従来の技術】パルス幅変調信号、いわゆるPWM信号は、デジタル値をパルス幅の変化量に変換することによって得られる信号であり、主にデジタル回路の演算結果などをアナログ信号に変換する目的で使用される信号である。一方、デジタル信号をアナログ信号に変換する方法は、D/Aコンバータを用いた方法が良く知られている。しかし近年、装置の小型化・低価格化に伴い、D/Aコンバータに代わって、MPU内蔵のタイマパルスユニットとクロック信号によって生成されるPWM信号を用いる方式が普及してきた。

【0003】PWM信号生成方式は、タイマパルスユニット内部のタイマカウンタにクロック信号を入力し、タイマパルスユニット内部のコンペアレジスタに所望のアナログ値に相当するデジタル値を書き込み、タイマカウンタとコンペアレジスタの一致タイミングで割込みを発生させることによって出力ポートを制御し、PWM信号を得る方式が一般的であった。しかし、このPWM信号の分解能は、タイマカウンタのビット数や割込み周期などによって制限を受けるため、高精度なアナログ信号を扱うときなどは、そのままでは使用できなかった。

【0004】従来、PWM信号の分解能を高める方法として特開平4-96417号公報が知られている。上記従来技術は、前述のようにMPU内蔵のタイマパルスユニットとクロック信号によってPWM信号を生成する方式であり、この時のPWM信号の分解能を高める方法として、期待する分解能を「A」、タイマカウンタの分解能を「B」とした場合、 $n = A/B$ （A、Bは2のべき乗の整数）として「n」を求めた後、PWM信号に変換する前のデジタル値の「n」回平均を求め、該平均値をPWM信号に変換し「n」回連続出力することにより、PWM信号の分解能をタイマカウンタの分解能の「n」倍に高めるといったものであった。

【0005】

【発明が解決しようとする課題】上記従来方式では、PWM信号作成用タイマへの入力信号値の大きさについて何ら配慮されておらず、入力信号値が大きく変動し、飽和した場合には制御不能になるという問題があった。

【0006】また上記方式では、例えば、タイマカウンタを8ビットとした場合、復調し得るアナログ信号の分解能は、最大でも256階調となり、タイマカウンタが8ビットである限りはこれ以上の分解能は得られず、ダイナミックレンジが狭いという問題があった。

【0007】また、分解能を「n」倍に高めるためとは言え、一つのデジタル値を「n」回平均し、さらにPWM信号に変換して「n」回出力していることにより、本来のPWM信号の出力タイミングに対して時間差を生

じ、入力信号に対して出力信号の忠実度が悪いという問題があった。

【0008】また、音声信号をA/D変換し、ノイズ除去やフィルタリング処理してPWM信号を出力する用途に使用したときなどは、リアルタイム性に欠けているために音声周波数が変動し、従来方式は使用できないという問題があった。

【0009】一方、近年、デジタル信号処理により音声のピッチを変えずに早さだけをえてより高次な言語処理速度の衰えも含めた聴覚系全般に渡った補聴を行なおうとする試みがなされている。例えば、このような話速変換技術については、例えば電子情報通信学会技術研究報告(Vol. 92 No. 207 SP92-54「高齢者向け音声加工を行なうポータブルDSPシステムの開発」や日本音響学会誌(1994年50巻7号, P509~520)「リアルタイム話速変換型受聴システム」などに詳述されている。

【0010】また、この話速変換機能を携帯型の大きさの装置に収めた、ポータブル話速変換装置が開発された。この装置については、"A portable digital speech-rate converter and its evaluation by hearing-impaired listeners", in Proc. of Int. Conf. on Spoken Language Processing (ICSLP94), pp.2055-2058, Yokohama, Sep. 1994. に詳述されている。このように、音声信号をデジタル信号処理する要求が高まってはいるが、前述したとおり、音声信号をリアルタイムに処理するには従来方式を用いることはできなかった。

【0011】本発明の目的は、入力信号が大きく変動することによって起こるA/D変換器の飽和を防いだPWM信号変調復調回路を提供することにある。

【0012】本発明の第二の目的は、A/D変換器の許容入力範囲を越えるアナログ信号が入力された場合でも、出力アナログ信号が飽和しない、ダイナミックレンジの広いPWM信号変調復調回路を提供することにある。

【0013】本発明の第三の目的は、逐次、入力信号レベル判定値を演算し、入力アナログ信号が激しく増減するような値であっても頻繁に増幅度を切り換えることなく、忠実度の良いPWM信号変調復調回路を提供することにある。

【0014】本発明の第四の目的は、A/D変換動作がPWM信号出力開始タイミングに、また、PWM信号出力動作がA/D変換開始タイミングに、互いに影響せず、音声信号にも使用可能なリアルタイム性の良いPWM信号変調復調回路を提供することにある。

【0015】本発明の第五の目的は、リアルタイム性のよいPWM信号変調復調回路を備えた音声信号の処理装置を提供することに有る。

【0016】

【課題を解決するための手段】上記目的を達成するため

に、本発明は、増幅度可変型アンプの増幅度を、過去の入力デジタル値と増幅度値から予測して決定する、増幅度予測制御を行う手段を設けた。

【0017】上記第二の目的を達成するために、本発明は、現時刻の入力デジタル信号の絶対値と入力信号レベル判定値から、1時刻後の入力信号レベル判定値を演算する判定値演算手段と、前記入力信号レベル判定値がA/D変換器の入力レンジの上部に達したときには、上記増幅度可変型アンプの増幅度を小さくし、前記入力信号レベル判定値がA/D変換器の入力レンジの下部に達した時には、上記増幅度可変型アンプの増幅度を大きくする動作を行なう増幅度制御手段を設けた。

【0018】上記第三の目的を達成するために、本発明は、時刻tにおける入力信号レベル判定値を $Y(t)$ 、入力デジタル信号値の絶対値を $|X(t)|$ とした時、時刻(t+1)における入力信号レベル判定値 $Y(t+1)$ は、

$$Y(t+1) = \max(|X(t)|, Y(t) * a)$$

(但し $0 < a < 1$ で、かつ、 $|X(t)|$ および $Y(t)$ の値の大きいほうを選び、 $Y(t)$ が大きいときのみ $Y(t)$ に係数aを掛ける関数)なる式で表される演算を行う手段を設けた。

【0019】上記第四の目的を達成するために、本発明は、A/D変換動作およびPWM信号出力動作は、MPU上のタイマー割り込み処理プログラムによって制御され、A/D変換動作を制御する命令を含むプログラムと、PWM信号出力動作を制御する命令を含むプログラムとは、独立して記述され、かつ、異なるタイマーユニットが生成するタイミングで、その実行が開始される手段を設けた。

【0020】上記第五の目的を達成するために、本発明はの音声処理装置は、入力された音声信号のレベルから該音声信号に続いて入力される音声信号のレベルを予測して入力側の増幅度を制御する手段と、増幅度を制御された音声信号の時間軸を伸縮する手段と、時間軸を伸縮した音声信号の出力レベルを入力時のレベルに復元して出力する手段とを有する。

【0021】

【作用】入力アナログ信号を増幅度可変型アンプで増幅し、A/D変換したデジタル値と前記増幅度可変型アンプの増幅度値を組み合わせて記憶する手段を設けたことにより、前記デジタル値及び前記増幅度値を基に、前記増幅度可変型アンプの増幅度を予測して制御することが可能となり、それによって、入力信号の飽和を防いだPWM信号変調復調回路を提供できる。

【0022】また、現時刻の入力デジタル信号の絶対値と入力信号レベル判定値を比較し、1時刻後の入力信号レベル判定値を演算することによって、入力信号レベル判定値がA/D変換器の入力レンジ(例えば、0~511とする)の上部(例えば、384)に達したときに

は、増幅度可変型アンプの増幅度を小さくして飽和を防ぎ、入力信号レベル判定値がA/D変換器の入力レンジの下部（例えば、192）に達した時には、増幅度可変型アンプの増幅度を大きくして分解能を向上させることが可能となる。また、入力デジタル信号からアナログ信号を再生する場合は、デジタル値と増幅度値を基に、PWM信号出力部の増幅度を可変すれば良く、それによって、ダイナミックレンジの広いPWM信号変調復調回路を提供できる。

【0023】また、入力信号レベルを予測して、適切に増幅度を設定するために、入力信号レベル判定値を演算する手段として、現時刻 t の入力デジタル信号値の絶対値を $|X(t)|$ とし、同じく時刻 t における入力信号レベル判定値を $Y(t)$ としたとき、時刻 $t+1$ における入力信号レベル判定値 $Y(t+1)$ を、 $Y(t+1) = \max(|X(t)|, Y(t) * a)$ （但し $0 < a < 1$ で、かつ、 $|X(t)|$ および $Y(t)$ の値の大きいほうを選び、 $Y(t)$ が大きいときのみ $Y(t)$ に係数 a を掛ける関数）なる式で演算を行い、得られた結果により増幅度を決定する。上記演算式により現時刻 t において、入力デジタル信号の絶対値が大きい、入力信号レベル判定値が大きいかを判断することが可能となる。また、 $Y(t) * a$ は、入力信号レベル判定値側が大きい、時刻 t を経過する度に適当な割合で漸減する値であり、入力信号レベルの大まかな変化に対応する値である。このことから、大きな入力信号の後に、十分小さな入力信号が連続したときなどでも、一定時間を経過しなければ増幅度の切り換えは起こらないことがわかる。その結果、入力信号が激しく増減するような状況にあっても頻繁に増幅度が切り換わる現象は起こらず、それによって、忠実度の良いPWM信号変調復調回路を提供できる。

【0024】また、一つのタイマーを用い、一回の割り込みで二種類の処理を直列に実行する方式とした時、一方の処理量が変動した場合に他方の処理の開始タイミングがずれることが起こり得る。本発明ではこれを回避するために、A/D変換動作を制御する命令を含むプログラムと、PWM信号出力動作を制御する命令を含むプログラムとを、各々独立したタイマー割り込み処理プログラムとして記述することによって、異なるタイマーユニットが生成する割り込みタイミングで、各々のプログラムの実行を開始することが可能となった。それによって、例えば、A/D変換動作を制御する命令を含むプログラムの処理量が変動した場合においても、PWM信号出力動作を制御する命令を含むプログラムの実行開始タイミングへの影響を回避することが可能なPWM信号変調復調回路を提供できる。

【0025】また、本発明の音声処理装置によれば、リアルタイム性よく音声の時間軸伸長処理を行なうことができる。入出力レンジに関しても、入力側のレンジに基

づいて出力側のレンジを決定するため、増幅度の変動に対応でき、処理された音声を違和感無く出力することができる。

【0026】

【実施例】図1は本発明のPWM信号変調復調回路図であり、入力信号を増幅する増幅度可変型アンプ1、A/D変換及びPWM変換と各種信号処理などを行うMPU2、PWM信号をアナログ信号に変換する増幅度可変型アナログ変換器3により構成される。また、入力側データ補正、予測型増幅度制御処理、各種信号処理、出力側データ補正、増幅度制御処理は、ソフトウェアで処理を行っている。

【0027】なお、説明の便宜を図るため、入力アナログ信号を $S1$ と、増幅度可変型アンプ1の出力を $A1$ と、増幅度可変型アンプ1の増幅度可変信号を VGI と、増幅度制御処理部の増幅度可変信号を VGO と、PWM変換器からの正極性出力信号を PP と、PWM変換器からの負極性出力信号を PN と、増幅度可変型アナログ変換器3の出力アナログ信号を SO と各々表現して説明を行う。本実施例では、入力信号の大きさに応じて、増幅度可変型アンプ1の増幅度を予測制御し、常にA/D変換部とPWM変換部のダイナミックレンジを有効に利用するところに特徴がある。また、A/D変換制御と、PWM信号出力制御とを、各々独立したタイマー割り込み処理プログラムとし、かつ、異なるタイマーユニットが生成するタイミングで、その実行を開始するところに特徴がある。

【0028】初めに、図1において、入力アナログ信号 $S1$ が、どのような処理によって所望のデジタルデータに変換されるかを説明する。A/D変換器の出力デジタル値は、サインビットを含め10ビットで表され、約±512の範囲が表現可能であるが、入力側データ補正部ではA/D変換器の出力デジタル値を、サインビットを除く9ビットを11ビットに拡張して表現しているものである。本方式は前記述べたように、常にA/D変換部とPWM変換部のダイナミックレンジを有効に利用するものであるが、増幅度を2のべき乗毎に切り換えることによって、A/D変換器の出力デジタル値あるいはPWM変換部への入力データのビットシフト量に増幅度に対応させることが可能となっている。例えば、絶対値が512を越える数値は10ビットではフルスケールを越えてしまい表現できないが、A/D変換器の前の増幅度可変型アンプ1の増幅度を $1/2^n$ にしてA/D変換し、得られた結果を n ビット左シフトすれば $(10+n)$ ビットのダイナミックレンジでA/D変換することが可能になる。なお、この場合の量子化分解能はあくまで10ビットであり、小さい入力信号と大きな入力信号を同じ細かさで量子化できるということではない。しかし一般に音声信号などの場合、大振幅部分の出現頻度と小振幅部分の出現頻度の違いから、大振幅部分を粗く

量子化しても音質の低下は小さいことが知られている。これに類似した非線形量子化、たとえば μ -law圧縮などは、音声符号化の分野で広く用いられている。

【0029】次に、上記増幅度とビットシフトの関係を図3に示す表を用いて説明を行う。入力信号をA/D変換した結果が±512（実際には-512～+511であるが簡略化する。以下同様）以下の場合には増幅度可変型アンプ1の増幅度（VGI）を1倍に設定し、A/D変換器の出力をそのままサインビットと下位9ビットデータとして用いる。ただし、9ビットデータのMSB側に0を2ビット追加し、サインビット+11ビットの合計12ビットデータとして各種処理を行う。一方、入力信号が±2048程度の大きさの場合には増幅度可変型アンプ1の増幅度（VGI）を1/4倍に設定し、信号A1の出力振幅がA/D変換器の入力レンジに納まるように調整し、A/D変換器の出力値のサインビットを除く9ビットデータを2ビット左にシフトすることによってLSB側に0を2ビット追加する補正を行う。これらの処理によって得られたデジタル値を、出力側データ補正部では、前記デジタル値と共に記憶してあったVGIの値を基に、サインビットを含めた10ビットデータに補正し、同時に、VGIの逆数をVGOとして出力する。

【0030】以上、デジタルデータの拡張原理と、増幅度及びビットシフトの関係を説明した。以下、図1に戻り具体的な動作説明を行うが、増幅度可変型アンプ1の初期の増幅度は1倍として説明する。まず信号S1は、増幅度可変型アンプ1によって増幅され、MPU2に内蔵されたA/D変換器によってデジタルデータに変換される。入力側データ補正部では11ビットに拡張する処理を、信号VGIが1倍のときは、前記したようにMSB側に0を2ビット追加することにより行う。即ち、VGIが1倍のときは、ビット拡張しても表現できる範囲は変化しないことになる。この後、予測型増幅度制御処理部では、前記式 $Y(t+1) = \max(|X(t)|, Y(t) * a)$ により1時刻後の入力信号レベル判定値を演算、保持し、必要であればVGIの再設定を行う。

【0031】この時の動作を図2を用いて説明する。A/D変換器は、S1を逐次A/D変換しており、図中ではその値を、 $|X(t)|$ で表している。Y(t+1)は、前記Y(t)と $|X(t)|$ を比較し、常に大きい値を示した結果を保持している（但し、Y(t)側が大きければ係数aを掛けた値）。Y(t+1)に対して、 $|X(t)|$ が小さい間はY(t+1)は適当な割合で漸減する値となり、逆に $|X(t)|$ が大きくなれば、 $|X(t)|$ に追従して更新されていく。今、Y(t+1)が、A/D変換器の入力レンジの絶対値である512の上部（例えば384）まで上昇したときは、今後もS1が増え続けることが予想され、予測型増幅度制御処

理部からは増幅度可変型アンプ1の増幅度を1レンジ下げる処理が行われる。逆に、Y(t+1)が、A/D変換器の入力レンジの絶対値である512の下部（例えば192）まで下降したときは、今後もS1が減り続けることが予想され、予測型増幅度制御処理部からは増幅度可変型アンプ1の増幅度を1レンジ上げる処理が行われる。本方式によれば、S1（即ち、 $|X(t)|$ ）が大きくなり一度レンジを下げる処理が行われた後に、S1が十分に小さな値となっても、Y(t+1)が適当な割合で漸減し、A/D変換器の入力レンジの下部まで下降しなければレンジを上げる処理は行われず、頻繁に増幅度が切り換わることを防ぐことができる。

【0032】再び図1へ戻って説明を続ける。上記のごとく、入力側データ補正部により、増幅度値によってビットシフト処理されたデジタルデータは、増幅度情報であるVGIと共に各種処理部へ送られ、例えば、ノイズ除去やフィルタリング処理等を行った後、出力側データ補正部へ送られる。出力側データ補正部では、前記デジタル値と共に記憶してあったVGIの値を基に、サインビットを含めた10ビットデータに補正し、正の値を示すデジタル値と負の値を示すデジタル値を別々にPWM変換部に入力し、それぞれ信号PP、PNとして出力する。同時に、増幅度制御処理部ではVGIの逆数をVGOとして出力することによって、入力信号S1と相似の、出力信号SOを増幅度可変型アナログ変換器3から得る（ただし、各種信号処理部の処理内容による）ことが可能となる。

【0033】なお、上記一連の処理のなかで、A/D変換動作から始まりPWM信号出力動作までの処理は、MPU2のタイマー割り込み処理プログラムによって制御される。しかし、一つのタイマーを用いて一回の割り込みで上記二種類の処理を直列に実行する方式とした場合には、一方の処理量の変動が他方の処理の開始タイミングに影響を及ぼし、音声信号処理など微妙なタイミングのずれが問題となるような用途には使用できなかった。そのため本発明では、A/D変換動作を制御する命令を含むプログラムと、PWM信号出力動作を制御する命令を含むプログラムとは、各々独立したタイマー割り込み処理プログラムとして記述され、異なるタイマーユニット（タイマ1、タイマ2）が生成する割り込みタイミングで、各々のプログラムの実行が開始される方式とした。これにより、例えば、A/D変換動作を制御する命令を含むプログラムの処理量変動した場合においても、PWM信号出力動作を制御する命令を含むプログラムの実行開始タイミングへの影響を回避することが可能となり、音声信号処理などのような用途にも応用することが可能となった。

【0034】次に本発明のPWM信号変調復調回路を音声信号処理に用いた例を図4を用いて説明する。図4における音声信号処理は音声を時間軸方向に伸縮する処理

であり、便宜上話速変換処理と呼ぶこととする。

【0035】図4に示す音声信号処理装置は図1における各種信号処理部の処理を話速変換処理部21とする。この話速変換処理部21で行なわれる、音声信号の伸縮処理の原理を図5に示す。

【0036】図5(a)には本発明の話速変換装置で使用している波形伸長処理を示す。本処理では、まず入力音声波形のピッチ（基本周波数）を検出し、この検出されたピッチ長の2倍の長さの時間長を有し1から0に変化する窓関数と、逆に0から1に変化する窓関数の2つの窓関数を発生させる。次にこの2つ窓関数と、互いに1ピッチ分だけ離れた位置における入力波形との積を取り、2つの積の結果を加算して合成波形を作る。最後にこの合成波形を原音の波形中に挿入することで、ピッチを変えずに波形の時間長を変更している。合成波形を挿入する頻度を変えることで、複数の波形伸長率が実現できる。

【0037】図5(b)には上記第4の実施例で使用する波形短縮処理の一例を示す。この例では4ピッチの時間長を有する音声波形が2ピッチの時間長に短縮される。本波形短縮処理と上記波形伸長処理との異なる点は、窓関数を掛ける入力波形上の位置だけである。従って、話速変換処理においては、窓関数を掛ける位置を示すパラメータを変更することで音声信号の時間軸の伸長又は圧縮が決定される。

【0038】話速変換処理部部の具体的なブロック構成図を図6に示す。

【0039】増幅度を制御されてデジタル化された音声は、2つの入力フレームバッファ61および62に交互に入力される。一方の入力フレームバッファに入力している間に、もう一方の入力フレームバッファの音声データに対して、音声の時間軸をそのピッチを変化させることなく伸縮する時間軸変換処理63を施す。そして、その処理結果を比較的容量の大きい出力リングバッファ64に記録する。出力リングバッファ64へのデータの記録とは独立して、出力リングバッファ64からデータを取りだし、図4に示される出力側データ補正部に出力される。

【0040】なお、この話速変換動作は、装置上に設けられたスロースイッチ66を通じて使用者により外部から制御され、スロースイッチが押下されている間は話速変換が行なわれ、押下されていない間は、話速変換は施されず、入力音声そのまま出力されるようになっている。

【0041】

【発明の効果】本発明によれば、過去に記憶したA/D変換器のデジタル値と増幅度値から、常にA/D変換器の許容入力範囲内に入力信号の振幅が納まるよう増幅度可変型アンプの増幅度を予測制御することが可能となり、A/D変換器の出力デジタル値が飽和することの

無い、PWM信号変調復調回路を提供できる効果がある。

【0042】また、1時刻後の入力信号レベル判定値を逐次演算し、A/D変換器の入力レンジの上部または下部に達した時には、増幅度可変型アンプの増幅度を可変してA/D変換を行うことが可能となり、各種信号処理を終えたデジタル値と増幅度値を基に、PWM信号出力部の増幅度を可変することによって、ダイナミックレンジの広いPWM信号変調復調回路を提供できる効果がある。

【0043】また、A/D変換器のデジタル信号の絶対値と、入力信号の大まかな変化に対応する値である入力信号レベル判定値とを比較演算し、増幅度を決定する方式としたことによって、入力信号が激しく増減するような状況にあっても、頻繁に増幅度を切り換えないことが可能となり、忠実度の良いPWM信号変調復調回路を提供できる効果がある。

【0044】また、A/D変換制御と、PWM信号出力制御とを、各々独立したタイマー割り込み処理プログラムとし、かつ、異なるタイマーユニットが生成するタイミングで、各々の実行を開始することによって、例えば、A/D変換制御の処理量が変動した場合においても、PWM信号出力制御の実行開始タイミングへの影響を回避することが可能なPWM信号変調復調回路を提供できる効果がある。

【0045】また、本発明のPWM信号変調復調回路を音声信号処理装置と組み合わせることにより、音声信号特有のダイナミックレンジの広い信号であっても、リアルタイムに音声信号処理を行なうことができる。

【0046】

【図面の簡単な説明】

【図1】本発明の一実施例を示すPWM信号変調復調回路図。

【図2】本発明の実施例における、A/D変換器のデジタル出力値と入力信号レベル判定値の関係、及びレンジの切り換えエリアを示すタイムチャート。

【図3】本発明の実施例における、A/D変換器の表現可能範囲、入力側と出力側の増幅度、及びデータ補正部のビットシフトの関係を示す表。

【図4】本発明のPWM信号変調復調回路図を用いた話速変換処理装置のブロック図。

【図5】話速変換処理に使用する波形伸長および波形短縮方法の説明図。

【図6】図4に示す話速変換処理部の処理ブロック図。

【符号の説明】

1…増幅度可変型アンプ、2…MPU (Micro Processing Unit)、3…増幅度可変型アナログ変換器、S1…入力アナログ信号、A1…増幅度可変型アンプ1の出力信号、VG1…増幅度可変型アンプ1の増幅度可変信号、P1…正極性PWM出力信号、PN…負極性PWM

出力信号、VGO…増幅度制御処理部の増幅度可変信号、SO…増幅度可変型アナログ変換器3の出力アナログ信号。

【図1】

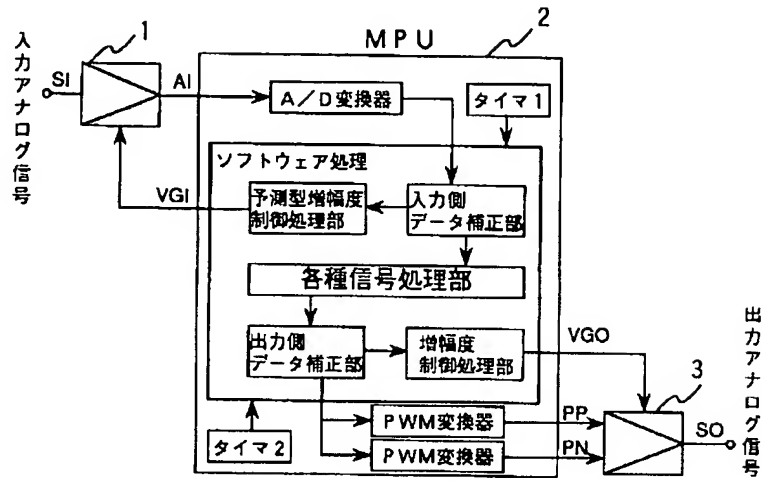


図 1

【図2】

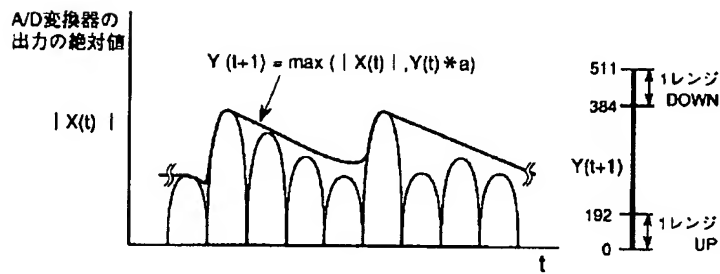


図 2

【図3】

	表現可能範囲 (A/D変換器)	±512	±1024	±2048
入力側	VGI	1倍	1/2倍	1/4倍
	入力側データ補正值 (S=サインビット)	S00#####	S0#####0	S#####00
出力側	VGO	1倍	2倍	4倍
	出力側データ補正值 (S=サインビット)	S#####		

図 3

【図4】

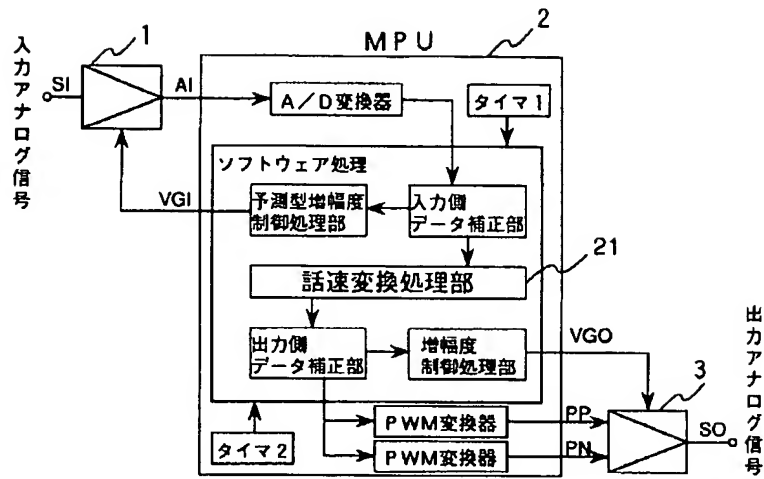
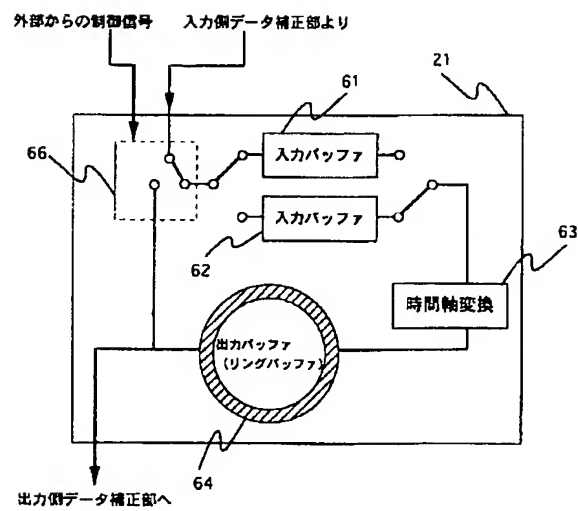


図4

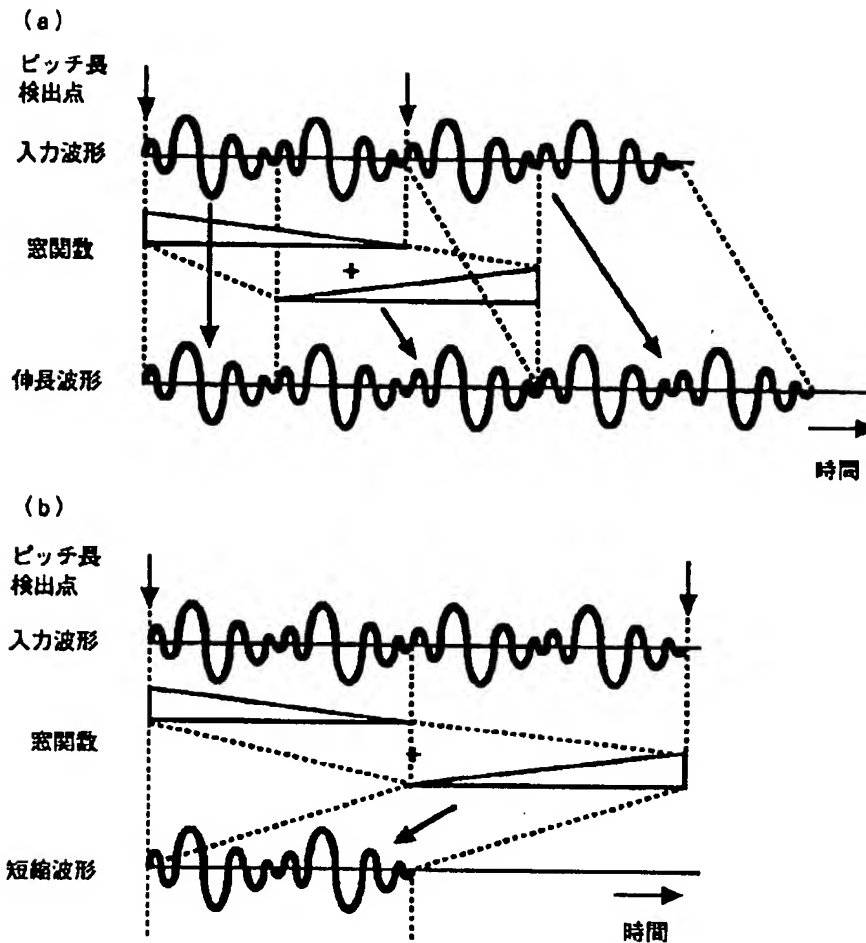
【図6】

図6



【図5】

図 5



フロントページの続き

(72)発明者 ▲高▼宮 正志
茨城県ひたちなか市稲田1410番地 株式会
社日立製作所パーソナルメディア機器事業
部内

(72)発明者 長谷川 保
東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内

(72)発明者 棚寝 義人
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内